

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-127913

(43)Date of publication of application : 25.05.1993

(51)Int.Cl. G06F 9/445

(21)Application number : 03-288901

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 05.11.1991

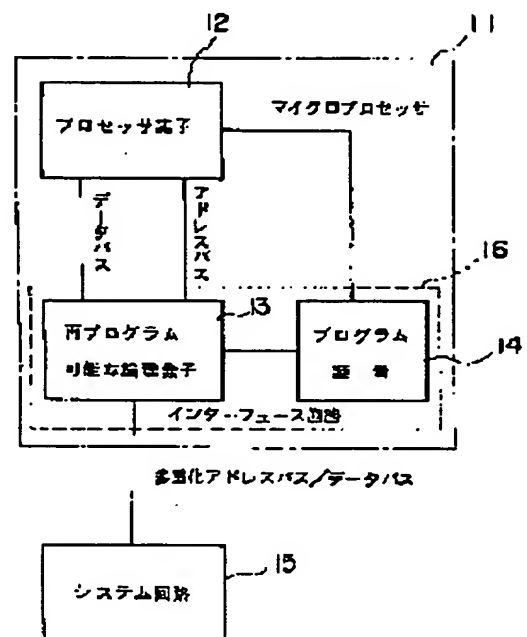
(72)Inventor : UGA MASAKAZU

## (54) MICROPROCESSOR SYSTEM

### (57)Abstract:

PURPOSE: To construct a microprocessor which can constitute an external interface in accordance with a system circuit connected to the microprocessor by constituting the interface circuit by means of a logical element which can be re-programmed.

CONSTITUTION: The logical element 13 which can be programmed is used for the external interface circuit 16 which the microprocessor 11 has. A function definition code is previously stored in ROM incorporating a function required for the external interface, or in an auxiliary storage device, and it is transferred to the logical element 13 which can be reprogrammed at the time of starting a system. The interface circuit 16 having the new required function can be realized even if there is the alteration of the system circuit 15 connected to the microprocessor 11.



(19)【発行国】日本国特許庁(JP)  
(12)【公報種別】公開特許公報(A)  
(11)【公開番号】特開平5-127913  
(43)【公開日】平成5年(1993)5月25日  
(54)【発明の名称】マイクロプロセッサシステム  
(51)【国際特許分類第5版】  
G06F 9/445  
【F1】  
G06F 9/06 420 G 8944-5B  
【審査請求】未請求  
【請求項の数】1  
【全頁数】5  
(21)【出願番号】特願平3-288901  
(22)【出願日】平成3年(1991)11月5日  
(71)【出願人】  
【識別番号】000003078  
【氏名又は名称】株式会社東芝  
【住所又は居所】神奈川県川崎市幸区堀川町72番地  
(72)【発明者】  
【氏名】宇賀 正和  
【住所又は居所】東京都青梅市末広町2丁目9番地 株式会社東芝青梅工場内  
(74)【代理人】  
【弁理士】  
【氏名又は名称】鈴江 武彦

(57)【要約】

【目的】本発明は、インタフェース回路を再プログラミング可能な論理素子によって構成することにより、マイクロプロセッサに接続されるシステム回路に応じて外部インタフェース回路を構成することが可能なマイクロプロセッサを構築することを主な特徴とする。  
【構成】マイクロプロセッサ11が持つ外部インタフェース回路16に、プログラム可能な論理素子13を使用し、機能定義コードを外部インタフェースに必要な機能を内蔵するROMまたは補助記憶装置に予め格納しておき、システム起動時に再プログラム可能な論理素子13に転送する構成として、マイクロプロセッサ11に接続されるシステム回路15の変更があっても、必要とする新たな機能を持つインタフェース回路16を実現できることを特徴とする。

図表示

【特許請求の範囲】

【請求項1】 命令を受け取り各部を制御するデコーダ回路と、このデコーダ回路の出力信号に従う制御によりデータ及びアドレスの算術論理演算を行う算術論理演算回路と、外部装置が接続されるシステムバスを制御する外部インタフェース回路とから成るマイクロプロセッサを備え、上記外部インタフェース回路を再プログラミング可能な論理素子によって構成し、この外部インタフェース回路の機能をコード化した機能定義コードを内蔵のROMもしくは外部接続される補助記憶装置に予め記憶しておき、電源投入直後の初期化時に上記再プログラミング可能な論理素子へ転送して、目的とする機能の外部インタフェース回路を構成することを特徴とするマイクロプロセッサシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は柔軟性、汎用性をもたせたシステム構築が可能なマイクロプロセッサシステムに関する。

【0002】

【従来の技術】近年、マイクロプロセッサの利用範囲が広がり、そのプロセッサに接続されるシステムも様々な形態がとられるようになってきた。このような状況に於いて、マイクロプロセッサを含むシステムを開発するときに、システム設計者は使用するマイクロプロセッサのインタフェースとシステムバスの仕様が異なる場合、その双方のインタフェースが取れるように、マイクロプロセッサとシステム回路の間にインタフェース回路を挿入すべく設計し、接続しなければならなかった。もしくは、使用するマイクロプロセッサのインタフェースに合わせて、外部インタフェース等の変更が必要であった。そして、このインタフェース回路はマイクロプロセッサとシステム回路の間に独立して存在するため、システム全体の小型化を図る際の妨げとなっていた。また、接続されるシステム回路の変更が生じた場合、設計者は同一プロセッサを使用するにも拘らず、再度インタフェース回路を設計し直して、マイクロプロセッサとシステム回路の間に接続しなければならず、マイクロプロセッサを含むシステムの汎用性、柔軟性に欠けていた。

【0003】

【発明が解決しようとする課題】上述したように従来例に従えば、マイクロプロセッサに接続されるシステム回路のインタフェースをとるために、各システム毎に、マイクロプロセッサ外部のインタフェース回路を設計しなければならず、システム全体の柔軟性、汎用性に欠けるという問題があった。

【0004】この発明は上記事情に鑑みてなされたものであり、インタフェース回路を再プログラミング可能な論理素子によって構成することにより、マイクロプロセッサに接続されるシステム回路に応じて外部インタフェース回路を構成することが可能なマイクロプロセッサを提供することを目的とする。

【0005】

【課題を解決するための手段】本発明のマイクロプロセッサシステムは、命令を受け取り各部を制御するデコーダ回路と、デコーダ回路からの制御によりデータ及びアドレスの算術論理演算を行う算術論理演算回路と、外部装置が接続されるシステムバスを制御する外部インタフェース回路とから成るマイクロプロセッサを備え、上記外部インタフェース回路を再プログラミング可能な論理素子によって構成し、予めその機能をコード化した機能定義コードを内蔵のROMもしくは外部接続される補助記憶装置に記憶しておき、電源投入直後の初期化時に上記再プログラミング可能な論理素子へ上記機能定義コードを転送することにより目的とする外部インタフェース回路とすることを特徴とする。

【0006】

【作用】本発明は、マイクロプロセッサが持つ外部インタフェース回路にプログラム可能な論理素子を使用して、その機能定義コードを外部インタフェースに必要な機能を内蔵するROMまたは補助記憶装置に予め格納しておき、システム起動時に再プログラム可能な論理素子に転送することで既存の機能又は任意の機能を実現する。このことにより、マイクロプロセッサに接続されるシ

テム回路の変更があっても、必要な機能をROMまたは補助記憶装置に格納しておけば、新たな機能を持つインタフェース回路を持つ場合と同様の効果が得られ、柔軟性、汎用性の高いシステムを構築することができる。

【0007】

【実施例】以下、図面を使用して本発明の実施例について詳細に説明する。

【0008】図1は本発明の実施例を示すブロックである。図1に示す本発明実施例を説明するに際し、図2を使用して従来のマイクロプロセッサを含むコンピュータシステムについて簡単に説明する。

【0009】まず、マイクロプロセッサ21をシステム回路24と接続して使用するとき、マイクロプロセッサ21の外部への接続インターフェイスがデータバス25とアドレスバス26とに分離されているものに対して、接続するシステム回路24が多重化アドレスバス／データバス24のインタフェースを持つ場合、両者を接続するインタフェース回路22を外部に設けて接続を行っていた。図示した例はアドレスバス26とデータバス25をマルチプレクサ23によって多重化アドレスバス／データバス27に変更する回路を付加して接続したものである。

【0010】これに対し、本発明実施例に於けるマイクロプロセッサの構成は次の様になっている。

【0011】図1に示す本発明実施例の構成から説明する。

【0012】図1に於いて、符号11はマイクロプロセッサであり、プロセッサ素子12とインタフェース回路16から成っている。プロセッサ素子12は、命令を受け取り各部を制御するデコーダ回路と、このデコーダ回路の制御にもとづきデータ及びアドレスの算術論理演算を行う算術論理演算回路と、データ、及びアドレスをそれぞれ保持するレジスタから成っている。

【0013】符号13はインタフェース回路16内に設けられた再プログラム可能な論理素子であり、プログラム装置14から送られるデータ(機能定義コード)により目的のインタフェース回路を実現する。

【0014】符号14は同じくインタフェース回路16内に設けられたプログラム装置であり、ROMもしくは補助記憶装置からなり、インタフェース回路16の機能をコード化し、機能定義コードとして記憶する。

【0015】符号15はシステム回路であり、マイクロプロセッサ11に、インタフェース回路16を介して接続される。

【0016】以下、本発明実施例の動作について従来例と対比しながら詳細に説明する。

【0017】図1に示すマイクロプロセッサ素子11は図2に示すマイクロプロセッサと同等の機能を持つ。13は再プログラム可能な論理素子、14はプログラム装置であり、図2に示すインタフェース回路22がこの再プログラム可能な論理素子13に置換された構造となっている。そして、プロセッサ素子12と再プログラミング可能な論理素子13とプログラム装置14が一体となってマイクロプロセッサ11を構成している。

【0018】プログラム可能な論理素子13はゲートアレイに類似しており、中央にマトリクス上に配置された論理ブロックと周辺に入出力インタフェース回路が内蔵されており、論理ブロックの行と行の間、そして論理ブロックと入出力インタフェースの間に内部接続要素がある。これはプログラムによって駆動される論理ICであって、各論理ブロックと入出力インタフェースの機能及び接続は再構成可能となっており、内蔵メモリに格納されるプログラムに従い論理回路が構成されるプログラマブルなものとなっている。これは、プログラマブルゲートアレイとして著名なものになっている。

【0019】マイクロプロセッサ11のインタフェース回路16を上述したように再プログラム可能な論理素子13によって構成し、その機能を予めプログラム装置14(ROMまたは補助記憶装置)にコード化して格納しておいて、電源投入直後の初期化処理時点で再プログラム可能な論理素子13へ機能定義コードを転送することで目的のインタフェース回路6として動作可能となる。更に、再プログラム可能な論理素子13の最大規模と最高速度、外部接続信号ピンなどの制約の範囲内で新たな機能定義を設計してコード化し、ROMに再格納するか補助記憶装置に追加記憶することで新たな機能を持つインタフェース回路として動作可能となる。

【0020】さて、図2に示す従来例では、接続するシステム回路24に応じてマイクロプロセッサ21の外部にインタフェース回路22を構成していた。このため接続するシステム回路24が変更された場合、再度、マイクロプロセッサ21の外部にインタフェース回路22を作り直す必要があった。

【0021】しかしながら、本発明ではシステム回路とのインタフェースに必要な回路を内蔵して、その機能を定める機能定義コードをROMまたは補助記憶装置に予め格納しておき、システム起動時に再プログラム可能な論理素子に転送することで従来と同一の機能を実現できる。また、マイクロプロセッサ11に接続されるシステム回路の変更があっても、上述したとおり新たな機能を持つインタフェース回路を持つことが可能である。

【0022】以上のように本発明によれば、システム回路とのインタフェースに必要な回路を内蔵して、その機能を定める機能定義コードをROMまたは補助記憶装置に予め格納しておき、システム起動時に再プログラム可能な論理素子に転送する構成としたことにより、柔軟性、汎用性の高いマイクロプロセッサを提供することができる。

【0023】

【発明の効果】以上説明のように本発明によれば、マイクロプロセッサの外部インタフェース回路にプログラム可能な論理素子を使用して、外部インタフェースに必要な機能を内蔵するROMまたは補助記憶装置に予め格納しておき、システム起動時に再プログラム可能な論理素子に転送することで、従来と同一の機能を実現できるため、マイクロプロセッサに接続されるシステム回路の変更があっても、必要な機能をROMまたは補助記憶装置に格納すれば、新たな機能を持つインタフェース回路を持つことが容易に可能となり、これにより、柔軟性、汎用性の高いマイクロプロセッサシステムを構築することができる。

【図面の簡単な説明】

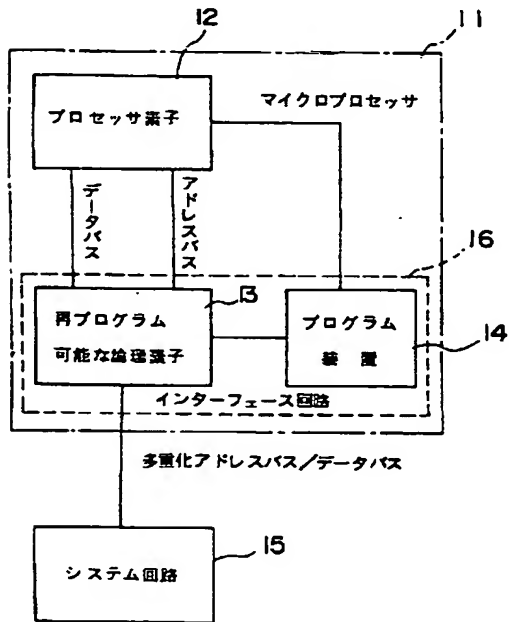
【図1】本発明の実施例を示すブロック図。

【図2】従来の構成を示すブロック図。

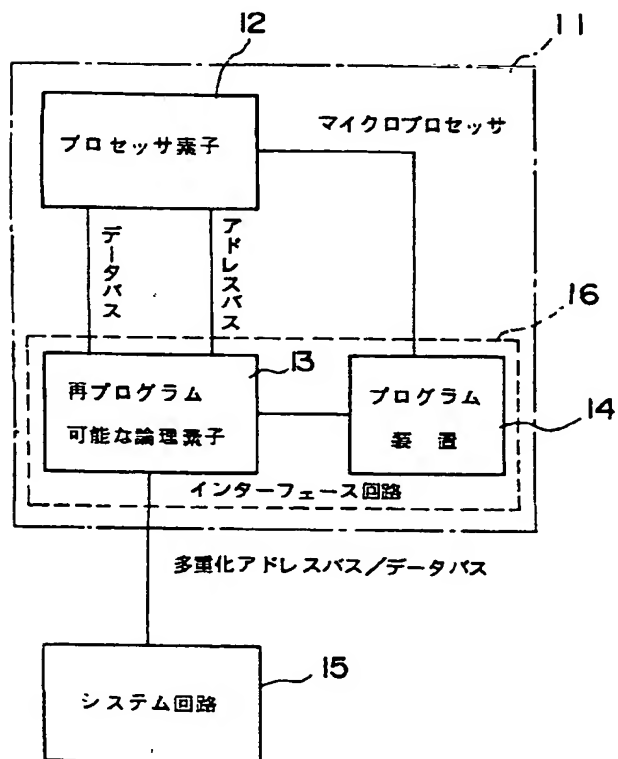
【符号の説明】

11…マイクロプロセッサ、12…プロセッサ素子、13…再プログラム可能な論理素子、14…プログラム装置、15…システム回路、16…インタフェース回路。

[代表図]



【図1】





画像倍率

x 0.4



画像回転



[図2]

